

IBM System z – Guide Share Europe

SD14 - z/VSE V4 Performance

Ingo Franzki – ifranzki@de.ibm.com



Trademarks

The following are trademarks of the International Business Machines Corporation in the United States and / or other countries.

CICS*	IBM*	Virtual Image
DB2*	IBM logo*	Facility
DB2 Connect	IMS	VM/ESA*
DB2 Universal	Intelligent	VSE/ESA
Database	Miner	VisualAge*
e-business logo*	Multiprise*	VTAM*
Enterprise Storage	MQSeries*	WebSphere*
Server	OS/390*	xSeries
HiperSockets	S/390*	z/Architecture
	SNAP/SHOT	z/VM
	*	z/VSE
		zSeries

* Registered trademarks of IBM Corporation

The following are trademarks or registered trademarks of other companies.

LINUX is a registered trademark of Linus Torvalds

Tivoli is a trademark of Tivoli Systems Inc.

Java and all Java-related trademarks and logos are trademarks of Sun Microsystems, Inc., in the United States and other countries

UNIX is a registered trademark of The Open Group in the United States and other countries.

Microsoft, Windows and Windows NT are registered trademarks of Microsoft Corporation.

SET and Secure Electronic Transaction are trademarks owned by SET Secure Electronic Transaction LLC.

Intel is a registered trademark of Intel Corporation.

Disclaimer

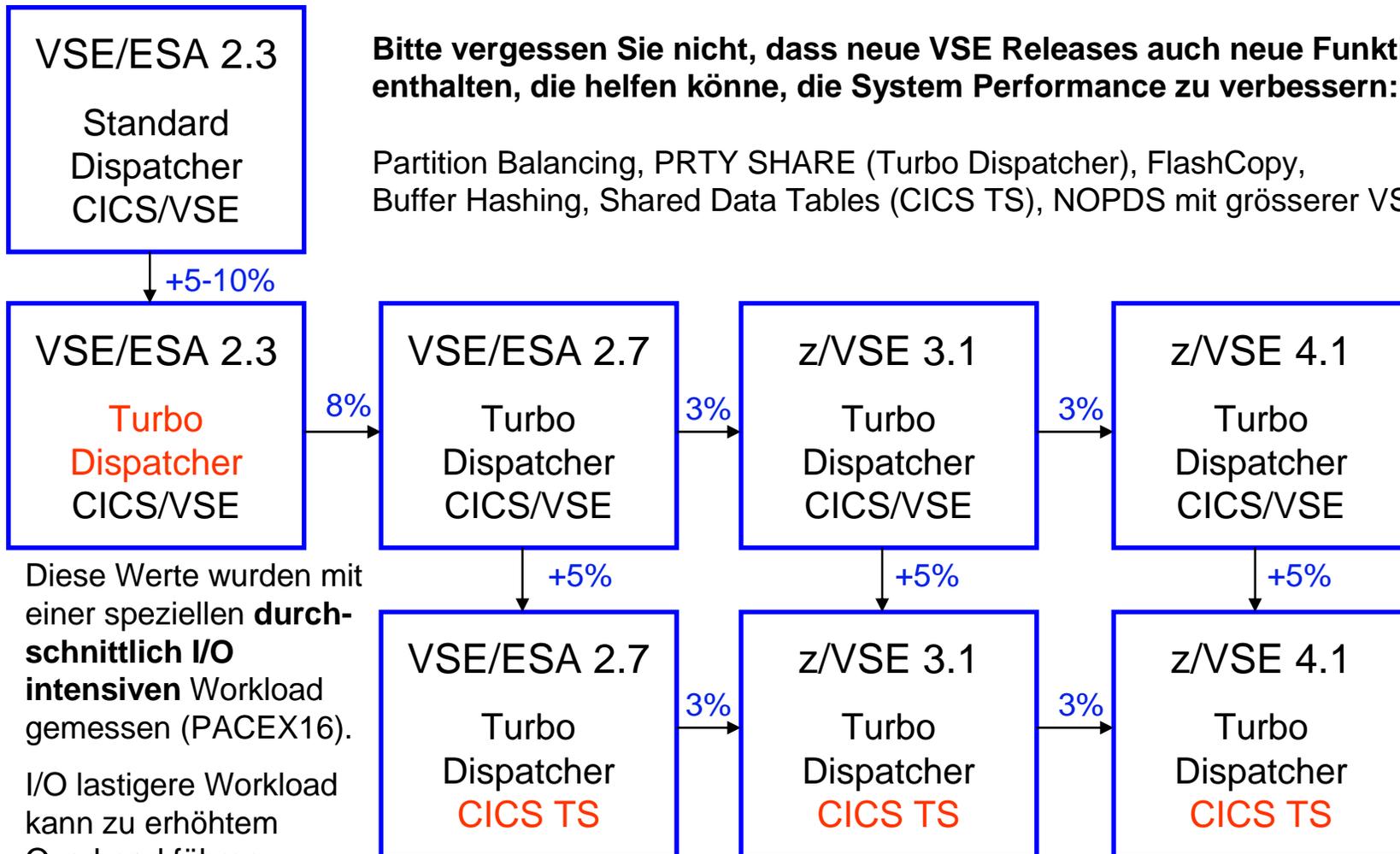
The information contained in this document has not been submitted to any formal IBM test and is distributed on an "AS IS" basis without any warranty either express or implied. The use of this information or the implementation of any of these techniques is a customer responsibility and depends on the customer's ability to evaluate and integrate them into the operational environment. While each item may have been reviewed by IBM for accuracy in a specific situation, there is no guarantee that the same or similar results will be obtained elsewhere. Customers attempting to adapt these techniques to their own environments do so at their own risk.

In this document, any references made to an IBM licensed program are not intended to state or imply that only IBM's licensed program may be used; any functionally equivalent program may be used instead.

Any performance data contained in this document was determined in a controlled environment and, therefore, the results which may be obtained in other operating environments may vary significantly. Users of this document should verify the applicable data for their specific environments.

It is possible that this material may contain reference to, or information about, IBM products (machines and programs), programming, or services that are not announced in your country. Such references or information must not be construed to mean that IBM intends to announce such IBM products, programming or services in your country.

VSE Release Overhead



Bitte vergessen Sie nicht, dass neue VSE Releases auch neue Funktionen enthalten, die helfen können, die System Performance zu verbessern:

Partition Balancing, PRTY SHARE (Turbo Dispatcher), FlashCopy, Buffer Hashing, Shared Data Tables (CICS TS), NOPDS mit grösserer VSIZE

Diese Werte wurden mit einer speziellen **durchschnittlich I/O intensiven** Workload gemessen (PACEX16). I/O lastigere Workload kann zu erhöhtem Overhead führen.

z/VSE V4 unter z/VM betreiben

§ z/VM V5.2 (oder höher) ist eine Voraussetzung um z/VSE V4.1 unter z/VM zu betreiben

- Wenn Sie z/VSE V4.1 in einem Gastsystem unter z/VM Version 4 oder z/VM 5.1 IPLen, kann das zu schwerwiegenden Performance Problemen führen
- Deshalb wird in dem Fall folgende Message beim IPL ausgegeben:
 - 0J86I WARNING: VM RELEASE NOT SUPPORTED BY VSE 4.1
– Z/VM 5.2 OR LATER REQUIRED
- Wenn Sie diese Message sehen, müssen Sie schnellstmöglich Ihr z/VM System auf z/VM 5.2 oder höher upgraden.

§ Hinweis: z/VSE V4 kann natürlich auch nach wie vor im LPAR (ohne z/VM) betrieben werden.

z/VSE 4.1 - z/Architecture Mode

§ z/VSE 4.1:

- Unterstützt z/Architecture-fähige (64-bit) Prozessoren.
- Läuft ausschließlich im z/Architecture Mode
- Unterstützt 64-bit Real-Adressierung für bestimmte System Funktionen
- Unterstützt Prozessor Speicher bis zu 8 GB.
- Der Speicher oberhalb von 2 GB wird vom z/VSE Betriebssystem verwaltet.

§ z/VSE 4.1 unterstützt nicht:

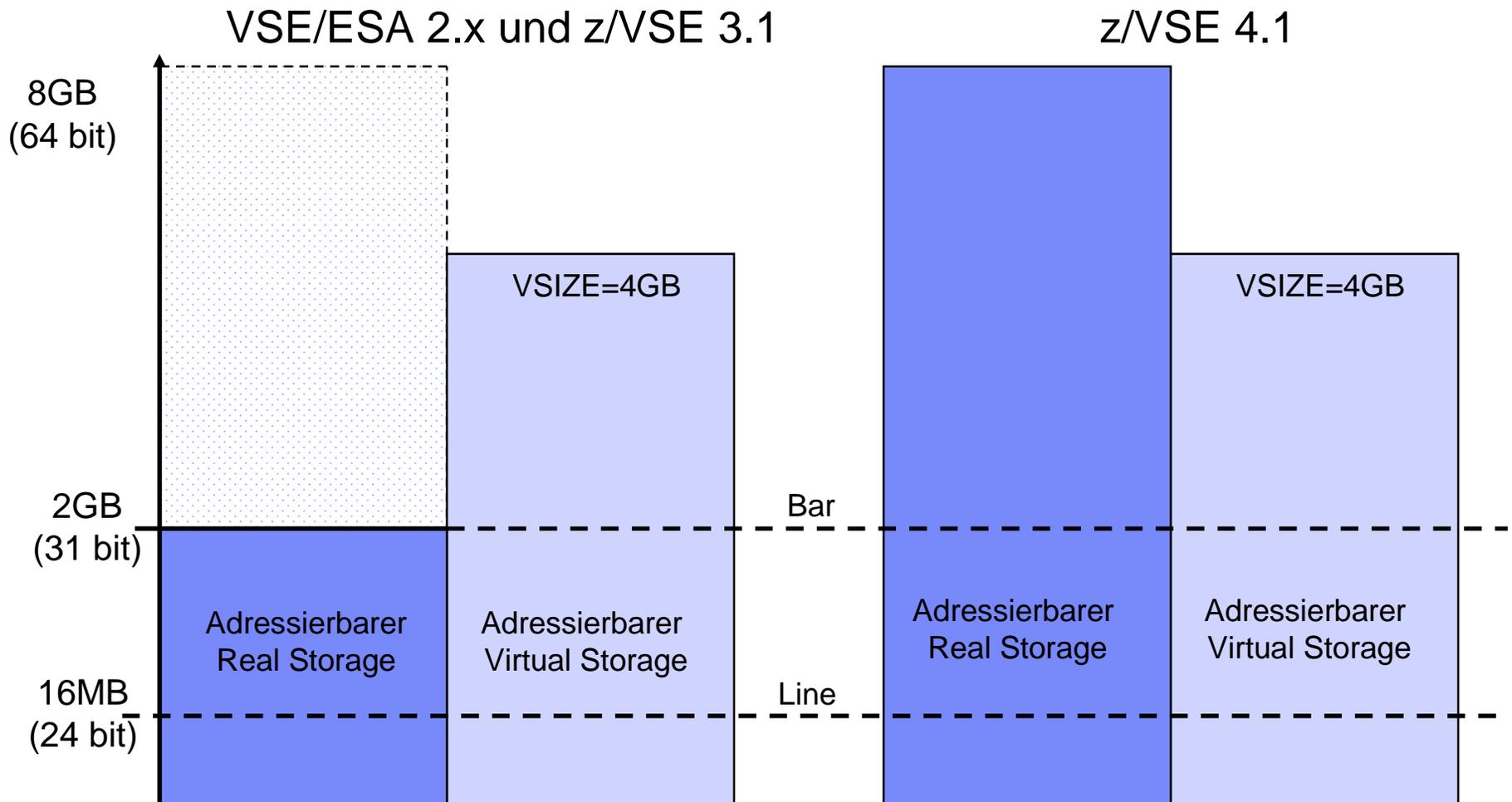
- 64-bit Virtual-Adressierung.
- Data-Spaces und Address-Spaces bleiben auf 2 GB begrenzt.
- Benutzer-Anwendungen könne nicht direkt auf Speicher oberhalb von 2 GB oder 65-bit Register zugreifen.

§ Die 64-bit **Real-Adressierung** ist transparent für Benutzer-Anwendungen, wenn die offiziellen IBM Schnittstellen verwendet werden.

§ Kunden mit besonders großen z/VSE Umgebungen können von der 64-bit **Real-Adressierung profitieren, und die Paging-Rate senken.**

§ Viele z/VSE Systeme können ohne ein Page-Dataset betrieben werden (NOPDS Option).

Was bedeutet 64 Bit 'Real Adressierung' ?



Was bedeutet 64 Bit 'Real Adressierung' ?

§ VSE/ESA V2.x und z/VSE 3.1

- z/VSE 3.1 oder früher kann maximal 2 GB des Prozessor Speichers adressieren
 - 31 bit (Real) Adressierung
- Ein Page-Dataset wird benötigt, wenn $VSIZE (+VIO) > \sim 2GB$
- Kein Page-Dataset wird benötigt, solange 2 GB Prozessor Speicher ausreichend sind

§ z/VSE 4.1

- z/VSE 4.1 kann bis zu 8 GB des Prozessor Speichers adressieren
 - 64 bit (eal) Adressierung
- Kein Page-Dataset wird benötigt
 - Wenn Prozessor Speicher $\geq VSIZE (+VIO)$
- Virtuelle Address-Spaces und Data-Spaces bleiben auf 2 GB limitiert
 - 31 bit (Virtual) Adressierung
 - Keine Änderungen nötig an Benutzer Anwendungen

z/VSE 4.1 – Beispiel mit 3 GB Prozessor Speicher

```

map real
AR 0015 AREA          R-SIZE   R-ADDR   PFIX(BELOW)      PFIX(ABOVE)
AR 0015                ACTUAL    LIMIT     ACTUAL    LIMIT
AR 0015 SUP           52K        0
AR 0015 SYS-24        592K        14136K
AR 0015 BG V          0K          0K        0K        0K
AR 0015 F1 V          148K        400K      0K        1400K
AR 0015 F2 V          32K         144K      0K        0K
AR 0015 F3 V          88K         424K      0K        0K
AR 0015 F4 V          0K          0K        0K        0K
AR 0015 F5 V          0K          0K        0K        0K
AR 0015 F6 V          0K          0K        0K        0K
AR 0015 F7 V          200K        400K      1044K     2100K
AR 0015 F8 V          0K          0K        0K        0K
AR 0015 F9 V          0K          0K        0K        0K
AR 0015 FA V          0K          0K        0K        0K
AR 0015 FB V          0K          0K        0K        0K
AR 0015 SYS-31        7404K      2052264K
AR 0015 DYN-PA        0K          0K        0K        0K
AR 0015 AVAIL         64K
AR 0015 SYSTEM        25068K
AR 0015 TOTAL         3145728K
AR 0015
AR 0015 AVAILABLE FOR SETPFIX:      13544K      2044860K
AR 0015
AR 0015 1I40I READY

```

Ausnützen von 64 Bit Real Adressierung

- § **Selbst mit VSE/ESA oder z/VSE 3.1 kann die VSIZE ‚theoretisch‘ bis zu 90G sein**
- § **‚Praktisch‘ ist man aber limitiert durch**
 - Page-Dataset Grösse und Anzahl der Extents
 - Page-I/O Rate
 - Zu hohe Page-I/O Raten führen zu drastischen Performance Einbrüchen
- § **Mit z/VSE 4.1 kann nun **VSIZE+VIO bis zu ungefähr 8 GB sein, ohne dass ein Page-Dataset nötig wäre (NOPDS)****
 - Wenn genügend Prozessor Speicher verfügbar ist
 - Dadurch keine lang dauernde Page-I/Os
- § **Sie können damit mehr und größere Partitionen haben**

Was ist ‚Paging‘

§ Als ‚Paging‘ bezeichnet man alle Page-Manager Aktivitäten

- Reelle Pages an virtuelle Pages zuweisen
- Pages in das Page-Dataset auslagern (Page-Out I/O)
- Pages aus dem Page-Dataset wieder herstellen (Page-In I/O)

§ Selbst mit 8 GB Prozessor Speicher und NOPDS passiert ‚paging‘

- Reelle Pages an virtuelle Pages zuweisen
- Pages von unter 2G nach oberhalb 2GB verschieben und umgekehrt

§ ‚Paging‘ als solches ist also nicht schlecht

- Aber: Page-I/Os sind ‚schlecht‘ da zeitaufwändig

„Sizing“ eines Systems für z/VSE

§ Das „Sizing“ eines Systems für z/VSE unterscheidet sich vom „Sizing“ eines Systems für z/OS

- Obwohl z/VSE Multiprocessing unterstützt, skaliert z/VSE nicht ganz so gut wie z/OS auf mehreren Prozessoren.
 - Nicht mehr als 3 aktive Prozessoren pro z/VSE LPAR oder z/VM Gast

§ Generel gilt, **eine schnellere CPU ist besser als mehrere kleinere CPUs**

- Eine Partition (=Data-Space in z/OS) bekommt im VSE maximal die Rechenzeit von einer CPU
- Eine CPU muss genügend Leistung haben, um die größte VSE Partition (z.B. CICS) zu versorgen.
- Die Anzahl der möglichen CPUs hängt stark von der Art der Workload ab (vom Nonparallel Share (NPS) Wert).

§ **Zusätzliche CPUs können hilfreich sein, wenn weitere LPARs oder z/VM Gäste verwendet werden**

- Definieren Sie maximal 3 CPUs pro LPAR oder z/VM Gast, auch wenn mehr als 3 CPUs im CEC sind.

„Sizing“ eines Systems für z/VSE

§ Wenn Sie die Wahl haben zwischen:

- 1 CPU mit 100 MIPS
- 2 CPUs mit jeweils 50 MIPS (~ 100 MIPS in Summe)

§ ... Wählen Sie das Uni-Prozessor System !

- Damit hat jede VSE Partition (z.B. CICS) die Chance die vollen 100 MIPS zu bekommen
 - Solange kein anderer Job die Rechenzeit wegnimmt
 - Hängt von den Prioritäten und Shares ab

§ Der z/VM oder LPAR Hypervisor macht einen hervorragendes Dispatching von virtuellen CPUs für die Gäste

- Setzen Sie die SHARE entsprechend (z.B. Geben Sie dem Produktions-System eine höhere Share als den Entwicklungs-/Test-Systemen)

„Sizing“ eines Systems für z/VSE

**Der schnellste
Uni-Prozessor
ist (fast immer *)
der beste Prozessor**

(*) Aus Sicht eines einzelnen VSE-Images

„Sizing“ eines Systems für z/VSE

- § **Um eine gute Kapazitäts-Planung machen zu können, benötigen Sie ein sehr gutes Verständnis der CPU Auslastung**
 - Wie sieht die CPU Auslastung über den Tag, die Woche, das Jahr verteilt aus?
 - Wann sind die Peaks ?
- § **Um diese Information zu bekommen, muss ein Performance Monitor verwendet werden (CA Explore, ASG TMON)**
 - Alternativ kann CPUMON verwendet werden, wenn kein anderes Monitor Produkt verfügbar ist (siehe nächste Folie)
 - Benützen Sie das z/VM Performance Toolkit (wenn VSE unter z/VM läuft)
- § **Stellen Sie sicher dass Sie Performance Monitor Daten von mindestens einem typischen Monat verfügbar haben, bevor Sie eine Migration beginnen.**
- § **Sobald Sie auf dem neuen System laufen, sammeln Sie die selben Performance Daten um sie vergleichen zu können**
 - **Heben Sie die Daten auf** (Alt und Neu) ein paar Monate lang nach der Migration.

VSE CPU Monitor Tool

- § **Misst die CPU Auslastung** eines VSE Systems über einen bestimmten Zeitraum hinweg.
- § **Wenn Sie einen Prozessor-Upgrade planen, ist es wichtig die CPU Auslastung zu kennen.**
 - Hilft Ihnen die erforderliche Prozessor-Kapazität des neuen Systems abzuschätzen.
- § **Das VSE CPU Monitor Tool ist nicht dazu gedacht bestehende Monitoring Produkte von anderen Herstellern zu ersetzen.**
- § **Es bietet nur sehr einfache Monitoring Funktionen** auf einem **Gesamt-System Level.**
- § **Keine Details über die CPU Benutzung einzelner Anwendungen**
- § **Download**
 - <http://www.ibm.com/servers/eserver/zseries/zvse/downloads/tools.html>
 - 'As is', kein offizieller Support, e-mail an zvse@de.ibm.com

VSE CPU Monitor Tool

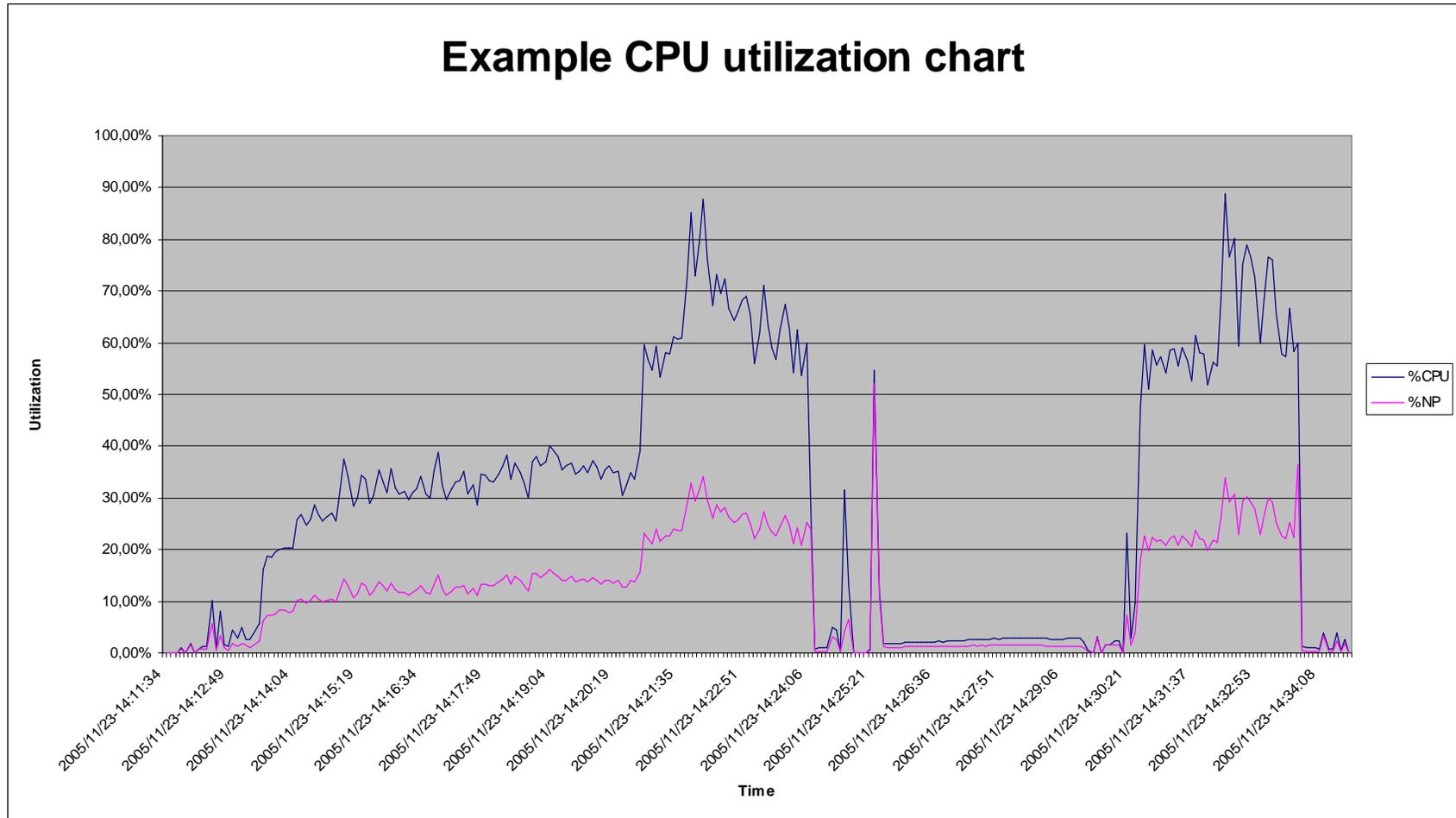
- § CPUMON führt periodisch das TDSE RV FUNC=TDINFO Makro aus, um Performance Daten zu sammeln
- § Die Daten die mit diesem Makro ermittelt werden, sind die selben, die das **QUERY TD** Kommando anzeigt.
- § Die Daten jedes Messintervals werden auf SYSLST ausgegeben, in einem Komma-Separated Format (CSV).
- § Diese Daten können dann direkt in ein Spreadsheet (EXCEL) importiert werden
- § CPUMON läuft in einer VSE Partition (dynamisch oder statisch).
- § CPUMON startet man wie folgt:

```
// EXEC DTRIATTN,PARM='SYSDEF TD,RESETCNT`  
/*  
// EXEC CPUMON,PARM='nn`   nn = interval in seconds  
/*
```

- § Das Tool kann mit folgendem Kommando gestoppt werden:

```
MSG xx,DATA=EXIT           xx = partition id
```

VSE CPU Monitor Tool



IBM Processor Capacity Reference für zSeries (zPCR)

§ Das zPCR Tool wurde am 25. Oktober 2005 für Kunden verfügbar gemacht

- <http://www.ibm.com/support/techdocs/atmastr.nsf/WebIndex/PRS1381>
- 'As is', kein offizieller Support, e-mail an zpcr@us.ibm.com

§ PC-Basierendes Tool das unter Windows läuft

§ Es wurde entwickelt um Einschätzungen für die Kapazitäts-Planung von IBM System z9 und eServer zSeries Prozessoren mit verschiedene Workloads zu geben.

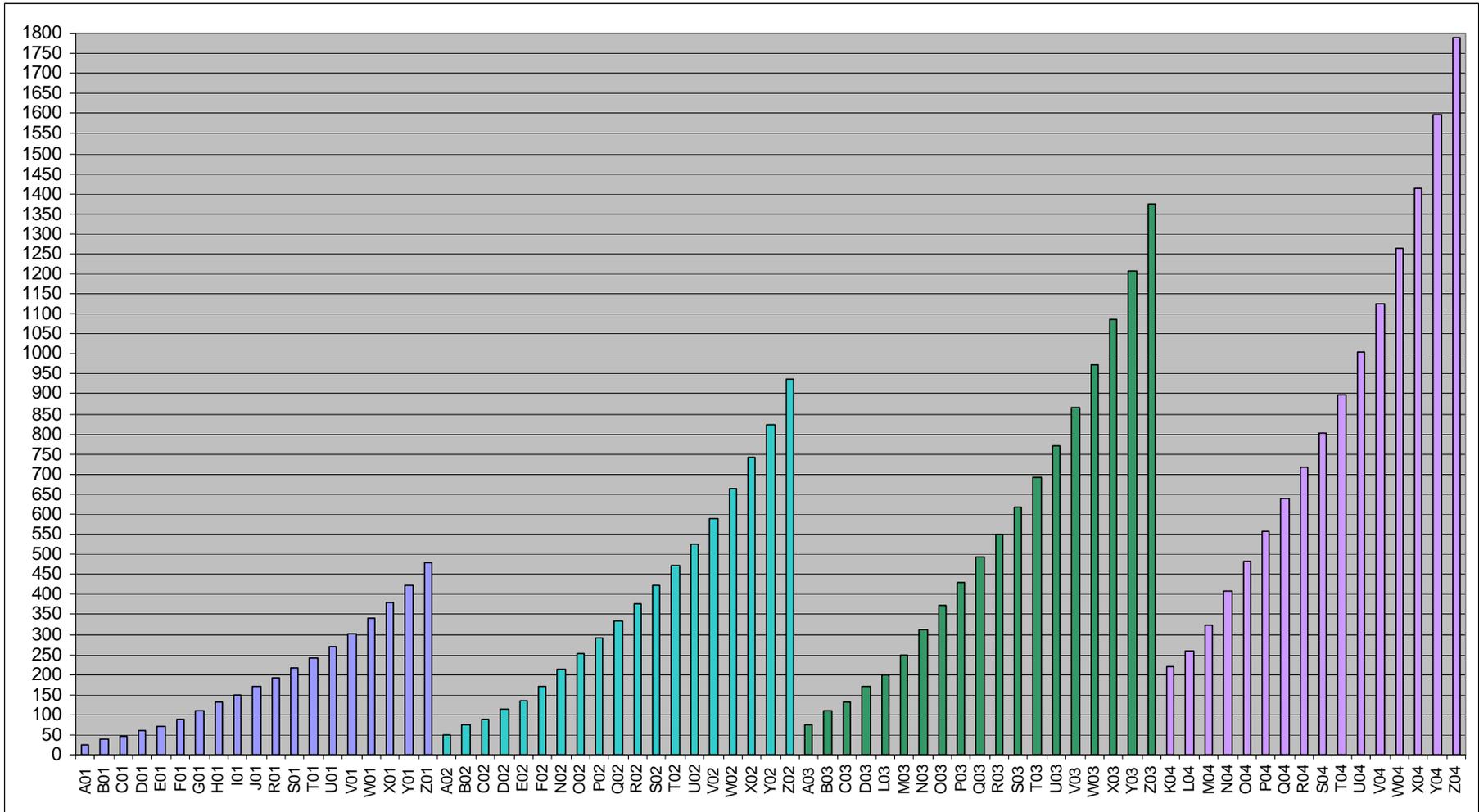
§ Die Kapazitäts-Daten basieren auf den IBM LSPR Daten von allen IBM System z9 und eServer zSeries Prozessoren

- Large System Performance Reference:
<http://www.ibm.com/servers/eserver/zseries/lspr/>

§ Für VSE sollte die z/OS CB-L Workload verwendet werden (ähnlich zu CBW2 = Commercial Batch Workload 2)

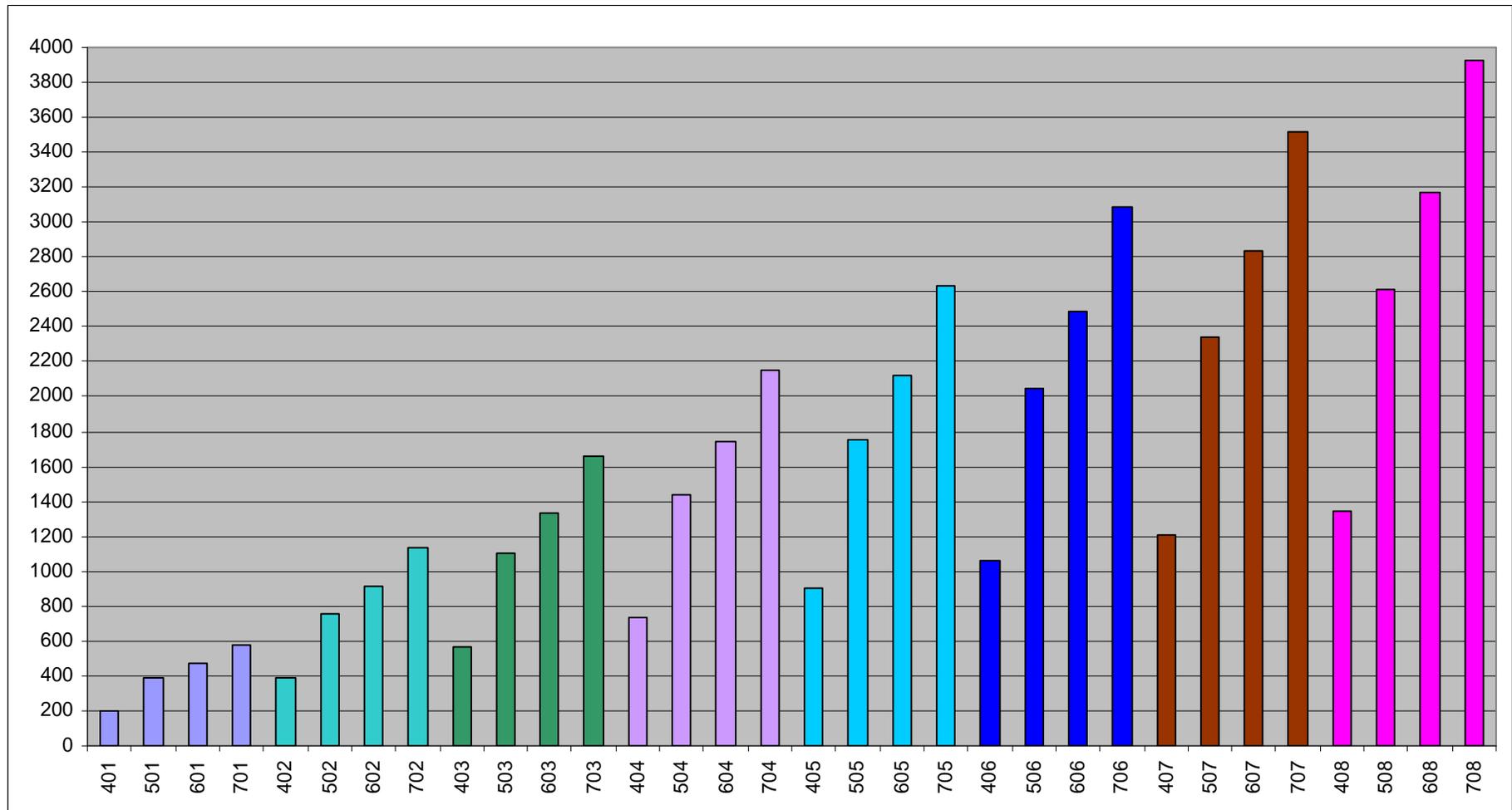
- CB-L passt am besten für die meisten VSE Workloads

IBM System z9 BC (1-4 CPUs)



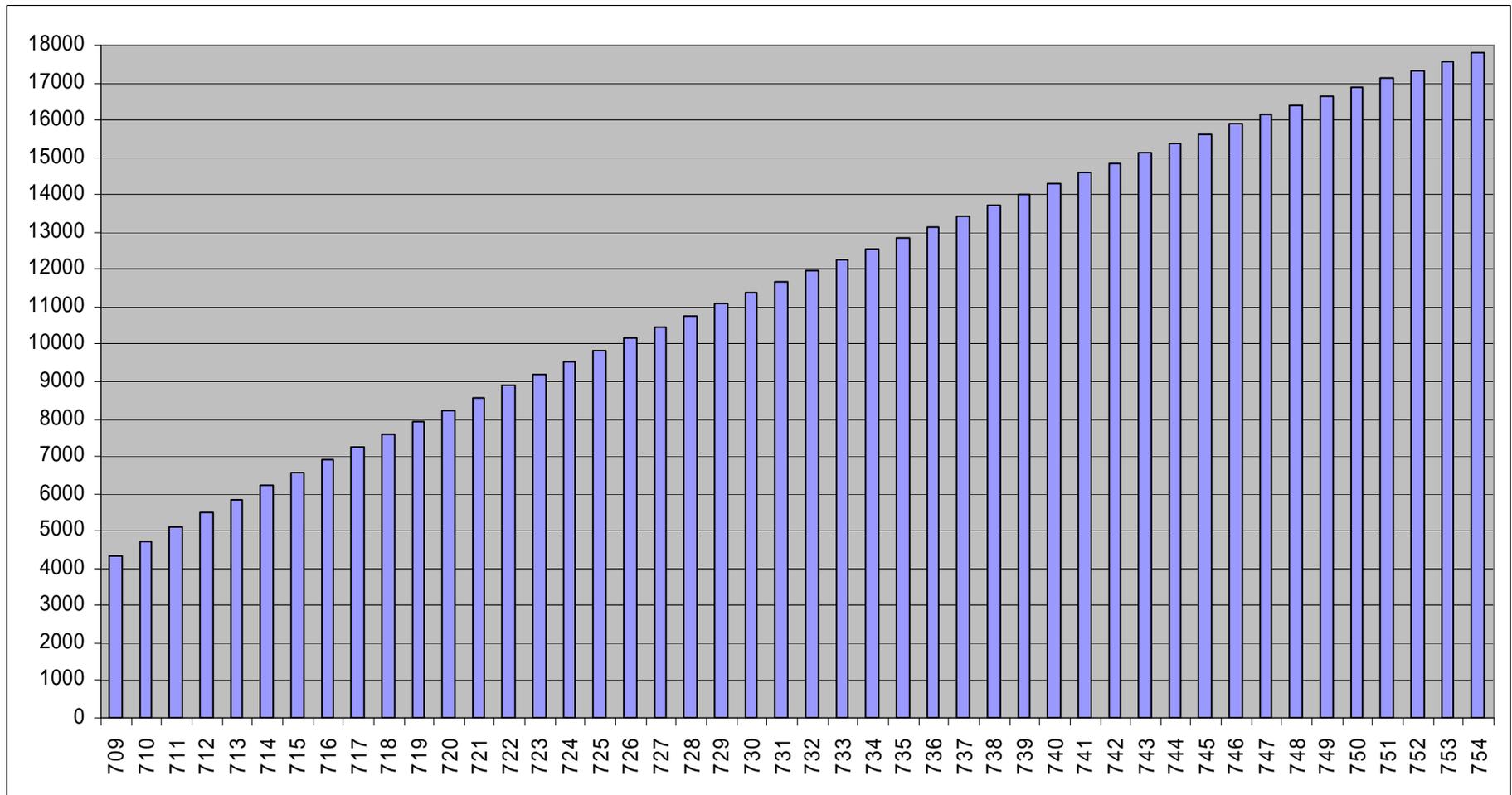
Bitte keine MIPS-Tabellen zur Kapazitäts-Planung verwenden, sondern das zPCR Tool !

IBM System z9 EC Subcapacity Modelle (1-8 CPUs)



Bitte keine MIPS-Tabellen zur Kapazitäts-Planung verwenden, sondern das zPCR Tool !

IBM System z9 EC (9-54 CPUs)



Bitte keine MIPS-Tabellen zur Kapazitäts-Planung verwenden, sondern das zPCR Tool !

Midrange Workload License Charge (MWLC)

§ MWLC ist eine neue monatliche Preis Metrik für IBM System z9 Server

- Full-capacity: basiert auf der Kapazität des z9 Servers
- Sub-capacity: basiert auf der CPU Auslastung des LPARs oder z/VM Guests

§ Es ist gültig für z/VSE V4 und 12 VSE spezifische Middleware Programme

- Wie z.B. CICS TS für VSE, ACF/VTAM für VSE, and DB2 Server für VSE.

§ MWLC ist nur verfügbar für z9 EC und z9 BC Server mit z/VSE V4.

§ Es hat nichts mit Performance zu tun

- Nur für das berechnen des Preises (Geld)

§ Capacity Measurement Tool

- Misst die verbrauchten MSUs (Millions of Service Units) pro Image (z/VM Gast oder LPAR)
 - Messintervall = 30 Minuten
 - Berechnet einen 4 Stunden Rolling Average (Durchschnitt)
- Kann nicht fürs Performance Tuning verwendet werden !

§ Mehr Informationen:

- **IBM System z9 and eServer zSeries Software Pricing:**
<http://www.ibm.com/servers/eserver/zseries/swprice/>
- **IBM's MSU ratings for the z9 Servers:**
<http://www.ibm.com/servers/eserver/zseries/library/swpriceinfo/hardware.html>

Hinweise zu z890, z990, z9 BC und z9 EC

§ Die z890, z990, z9 BC und z9 EC (früher z9-109) sind LPAR-only Maschinen

- Es gibt kein Basic-Mode mehr
- Selbst wenn Sie nur ein VSE System betreiben, dann läuft es im LPAR
- Wenn Sie ein z/VSE System unter z/VM betreiben:
 - z/VSE läuft unter z/VM in einem LPAR
- Es gibt kein I/O Assist in LPARs
 - Nur verfügbar wenn z/VM im Basic-Mode laufen würde, aber es gibt ja keinen Basic-Mode mehr auf z890, z990, z9 BC und z9 EC

Hinweise zu z/VM V5

§ z/VM V5 unterstützt keine V=R und V=F Gäste

§ z/VM V5 unterstützt kein I/O Assist

- Wenn Sie heute mit „Preferred Guests“ laufen, dann sollten Sie mit einem leichten Anstieg des CPU Verbrauchs rechnen, da diese Gäste zu V=V Gästen werden.
- Mehr Details in „Preferred Guest Migration Considerations“
<http://www.vm.ibm.com/perf/tips/z890.html>

§ Wie kann man die Auswirkungen abschätzen

- **I/O Assist:** Lassen Sie Ihre heutige Workload mit CP SET IOASSIST OFF laufen und messen Sie die Auswirkungen
- **V=R/F:** Lassen Sie Ihre heutige Workload mit V=V laufen und messen Sie die Auswirkungen mit dem CP Monitor

§ Möglichkeiten zum Tunen

- **Dedizierte Prozessoren:** CP SET SHARE ABSOLUTE
- **Dedizierter Speicher:** CP SET RESERVED
- **I/O Assist:** Benutzen sie Minidisks, schalten Sie Minidisk Caching an (MDC)

§ Achtung: z/VM V5.2 (oder höher) ist eine Voraussetzung um z/VSE V4.1 unter z/VM zu betreiben

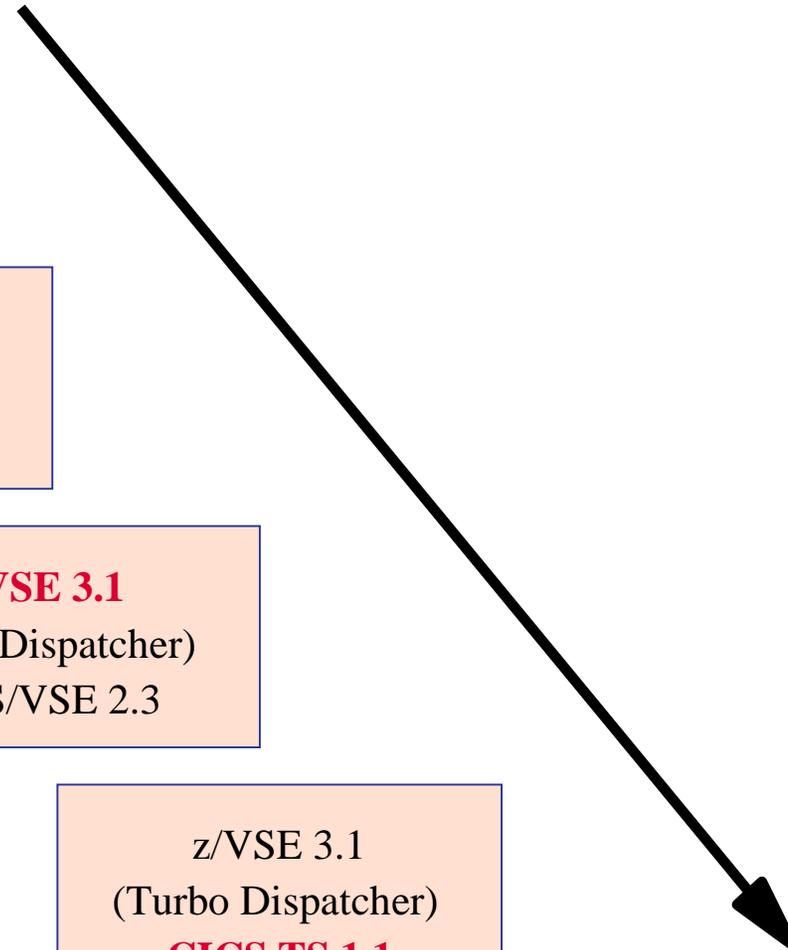
Empfohlener Migrations-Pfad

VSE/ESA 2.3
Standard Dispatcher
CICS/VSE 2.3

VSE/ESA 2.3
Turbo Dispatcher
CICS/VSE 2.3

z/VSE 3.1
(Turbo Dispatcher)
CICS/VSE 2.3

z/VSE 3.1
(Turbo Dispatcher)
CICS TS 1.1



Ändern Sie nur
eine Sache pro Schritt!

Das zeigt Ihnen welcher Schritt
ein Problem verursacht

Performance Tips

§ Eine VSE Partition kann maximal **1 CPU** verwenden

- 2 CPUs bringen gar nichts für eine einzelne CICS Partition
- Um mehr CPUs auszunützen, müssen entsprechend viele Partitionen gleichzeitig aktiv sein

§ Definieren Sie nur so viele CPUs wie Sie wirklich benötigen

- Zusätzliche CPUs erzeugen lediglich Overhead, aber keine Vorteile

§ Partition

- Verwenden Sie mehrere Batch und/oder (unabhängige) CICS Partitinen
- Trennen Sie Ihre CICS Partitionen in mehrere CICS Partitionen (AOR, TOR, FOR)

§ Verwenden die die Möglichkeiten die Ihnen der Turbo Dispatcher bietet

- Prioritäten
- Partition Balancing
- Partition Balancing Groups

Performance Tips (2)

§ **1 CPU** muss in der Lage sein die **gestammte non-parallel workload** zu verkraften

§ **Non-parallele Code-Anteile limitieren die Anzahl der möglichen CPUs**

- QUERY TD: $NP/TOT = NPS$ (non parallel share)
- Messen Sie die NPS bevor sie mit der Migration beginnen
- **max CPUs = 0.8 - 0.9 / NPS**

NPS	#CPUs	NPS	#CPUs
0.20	4.0-4.5 (4)	0.45	1.8-2.0 (2)
0.25	3.2-3.6 (3)	0.50	1.6-1.8 (2)
0.30	2.7-3.0 (3)	0.55	1.5-1.6 (2)
0.35	2.3-2.6 (2)	0.60	1.3-1.5 (1)
0.40	2.0-2.2 (2)	0.65	1.2-1.4 (1)

Performance Tips (3)

- § **System-Code (Key 0) erhöht den Non-parallel Share Wert (NPS)**
 - Vendor-Ccode kann hier auch eine Rolle spielen
- § **Verwenden Sie Data In Memory (DIM) um den Non-parallel Code Anteil zu verringern**
 - weniger System Calls (I/Os)
 - Erhöht den Durchsatz
 - CICS Shared Data Tables
 - Grosse/Viele VSAM Buffers (mit Buffer Hashing)
 - Virtuelle Disks
- § **Ändern Sie den VSE/POWER Startup zu WORKUNIT=PA**
- § **Schalten Sie Tracing/DEBUG aus in dem Produktions-System**

zSeries Hinweise – Split Cache

- § **Vor den zSeries-Systemen gab es nur einen Cache für Daten und Instruktionen**
- § **zSeries (und System z) hat getrennte Caches für Daten und Instruktionen**
- § **Performance Auswirkungen:**
 - Wenn **Programm Variablen** und Code welcher **diese Variablen verändert in der selben Cache-Line** (256 Byte) liegen
 - Veränderung der Programm Variablen invalidiert den Instruktions-Cache
 - Performance Verschlechterung wenn das in einer Schleife passiert
 - Siehe auch APAR PQ66981 für FORTRAN Compiler

zSeries Hinweise – Split Cache - Beispiel

Killer Beispiel:

```
*   prepare length
BCTR  R2,0   ADJUST FOR SS-INSTR.
STC   R2, *+5
MVC   RECEIVER(*-*),SENDER
```

Die STC Instruktion modifiziert die nächste Instruktion (setzt die Länge).

Besserer Code:

```
*   prepare length
BCTR  R2,0   ADJUST FOR SS-INSTR.
EX    R2,MVC01
...
MVC01 MVC    RECEIVER(*-*),SENDER
```

Verwenden Sie die EXECUTE Instruktion stattdessen.

zSeries Performance: Processor Design Considerations:

<http://www.ibm.com/support/techdocs/atsmastr.nsf/WebIndex/FLASH10208>

zSeries Hinweis – Split Cache - Beispiel

Erzeugt kein Problem:

```

LA      R1,PHASNAME      POINT AT PHASE NAME
CDDELETE (1)
+*     SUPERVISOR - CDDELETE - 5686-032-06
+     CNOP      0,4
+     BAL       15,*+8
+     DC        A(B'00010010')
+     L         15,0(,15)
+     SVC       65          ISSUE SVC FOR CDDELETE
+     DS        0H

```

CDDELETE verwendet ein Inline Flag Byte, aber modifiziert es nicht (Konstante)

Kann ein Problem erzeugen:

```

WTO TEXT=DATA
+     CNOP      0,
+     BAL       1,IHB0003A  BRANCH AROUND MESSAGE
+     DC        AL2(8)      TEXT LENGTH
+     DC        B'00000000000010000'  MCSFLAGS
+     DC        AL4(0)      MESSAGE TEXT ADDR
+     ...
+IHB0003A DS      0H
+     LR        14,1        FIRST BYTE OF PARM LIST
+     SR        15,15       CLEAR REGISTER 15
+     AH        15,0(1,0)   ADD LENGTH OF TEXT + 4
+     AR        14,15       FIRST BYTE AFTER TEXT
+     LA        15,DATA     LOAD TEXT VALUE
+     ST        15,4(0,1)   STORE ADDR INTO PLIST
+*     SUPERVISOR - SIMSVC - 5686-032
+     ...
+     SVC       35          ISSUE SVC 35
@GE00016 DS      0H

```

WTO verwendet eine Inline Parameter Liste, und modifiziert diese zur Laufzeit

Aber: WTO kann auch mit einer externen Parameter Liste codiert werden:
WTO ...,MF=(E,addr)

Hinweise zur Verwendung von PPRC

§ Performance Probleme möglich wenn:

- PPRC benutzt wird
- VSE läuft im Nativ-Mode oder im LPAR
- Nicht alle Devices die im IOCP definiert sind, sind auch in der VSE IPL Prozedur mittels VSE ADD definiert

§ Wenn ein PPRC State Change passiert, wird ein Interrupt an alle LPARs verschickt, wo dieses Device im IOCP definiert ist.

- Wenn das Device per VSE ADD definiert ist tritt kein Problem auf: VSE behandelt den Interrupt.
- Wenn das Device nicht per VSE ADD definiert ist, wird der Interrupt vom VSE ignoriert und nicht behandelt. Das führt dazu dass der Interrupt vom LPAR immer wieder versendet wird
 - Das resultiert in einer sehr hohen Channel-Aktivität (bis zu 100%)

§ Lösung:

- Definieren Sie ALLE Devices per VSE ADD die auch im IOCP definiert sind

Dokumentation

§ **z/VSE Homepage:**

- <http://www.ibm.com/servers/eserver/zseries/zvse/>

§ **VSE Performance:**

- <http://www.ibm.com/servers/eserver/zseries/zvse/documentation/performance.html>

§ **z/VM Homepage:**

- <http://www.ibm.com/vm>

§ **z/VM Performance:**

- <http://www.vm.ibm.com/perf/>

§ **z/VM Preferred Guest Migration Considerations**

- <http://www.vm.ibm.com/perf/tips/z890.html>

§ **IBM System z9 and eServer zSeries Software Pricing**

- <http://www.ibm.com/servers/eserver/zseries/swprice/>

§ **IBM's MSU ratings for the z9 Servers**

- <http://www.ibm.com/servers/eserver/zseries/library/swpriceinfo/hardware.html>

Fragen ?

